

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

04460516 **Image available**

LINE IMAGE SENSOR AND DRIVING METHOD

PUB. NO.: **06-104416** [JP 6104416 A]

PUBLISHED: April 15, 1994 (19940415)

INVENTOR(s): NAGATA TATSUYA

SHIMIZU HIROYA

WATANABE MICHIIRO

KURIHARA HIROSUKE

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 04-314595 [JP 92314595]

FILED: November 25, 1992 (19921125)

INTL CLASS: [5] H01L-027/146; H04N-001/028

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 44.7
(COMMUNICATION -- Facsimile)

JOURNAL: Section: E, Section No. 1577, Vol. 18, No. 372, Pg. 155, July
13, 1994 (19940713)

ABSTRACT

PURPOSE: To enable high-speed operation and stable readout, by making shorter the length of the channels of thin-film transistors constituting a shift register and buffers, reducing the leakage current of transfer switches, and increasing the driving ability of the shift register and the buffers.

CONSTITUTION: A shift register 22, buffers 23, and transfer switches 24 are composed of field-effect noncrystalline silicon thin-film transistors, and the channel length of transistors constituting the shift register 22 and the buffers 23 is made shorter than that of transistors constituting the transfer switches 24. Besides, the shift register 22 and the buffers 23 are arranged on the opposite side of matrix signal lines 26 interposing photoelectric transfer elements 20 and 21. The time of a block selection signal is controlled by an input signal.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-104416

(43) 公開日 平成6年(1994)4月15日

(51) Int. Cl.⁵

H01L 27/146

H04N 1/028

識別記号

A 8721-5C

Z 8721-5C

7210-4M

F I

H01L 27/14

C

審査請求 未請求 請求項の数 5 (全11頁)

(21) 出願番号 特願平4-314595
(22) 出願日 平成4年(1992)11月25日
(31) 優先権主張番号 特願平4-145339
(32) 優先日 平4(1992)6月5日
(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72) 発明者 永田 達也
茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内
(72) 発明者 清水 浩也
茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内
(72) 発明者 渡邊 道弘
茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内
(74) 代理人 弁理士 小川 勝男

最終頁に続く

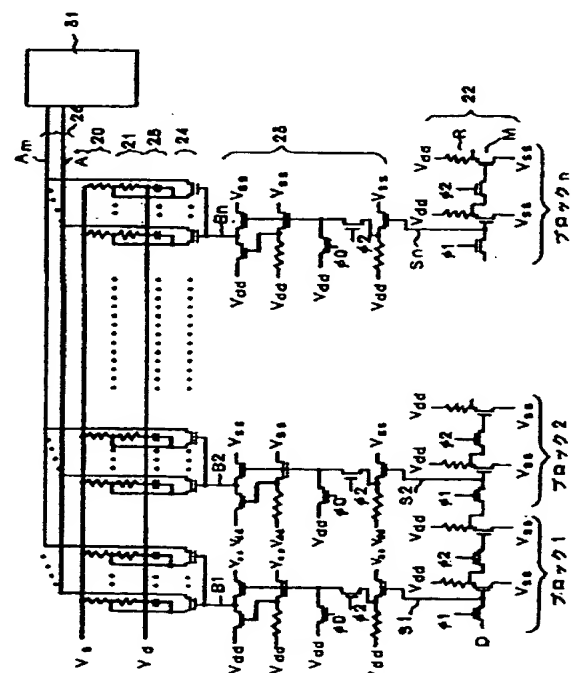
(54) 【発明の名称】 ラインイメージセンサ及び駆動方法

(57) 【要約】

【構成】 シフトレジスタ22、バッファ23及び転送スイッチ24を電界効果型非晶質シリコン薄膜トランジスタを用いて構成し、シフトレジスタ22、バッファ23を構成するトランジスタのチャンネル長を転送スイッチ24を構成するトランジスタのチャンネル長よりも小さくし、またシフトレジスタ22、バッファ23を光電変換素子20、21を挟んでマトリクス信号線26と反対側に配置した。入力信号によりブロック選択信号の時間を制御した。

【効果】 シフトレジスタ、バッファを構成する薄膜トランジスタのチャンネル長を小さくできるので、転送スイッチのリーク電流が小さく、シフトレジスタ及びバッファの駆動能力を向上し、高速動作が可能となる。また安定な読み取りが可能となる。

ラインイメージセンサの回路図 (図1)



【特許請求の範囲】

【請求項1】複数の光電変換素子と、前記複数の光電変換素子の各々に対応して設けられ前記光電変換素子の各出力信号を蓄積する蓄積容量と、前記蓄積容量の各々に接続され蓄積された信号を一定数からなるブロックごとに順次取り出す転送スイッチと、前記転送スイッチに接続したマトリクス信号線と、前記ブロックごとの前記転送スイッチを順次選択するブロック選択信号を生成するシフトレジスタ及びバッファとを備えるラインイメージセンサにおいて、前記シフトレジスタ、前記バッファ及び前記転送スイッチを電界効果型非晶質シリコン薄膜トランジスタを用いて構成し、前記シフトレジスタ、前記バッファを構成する前記シフトトランジスタのチャンネル長を前記転送スイッチを構成する前記トランジスタのチャンネル長よりも小さくしたことを特徴とするラインイメージセンサ。

【請求項2】複数の光電変換素子と、前記複数の光電変換素子の各々に対応して設けられ前記光電変換素子の各出力信号を蓄積する蓄積容量と、前記蓄積容量の各々に接続され蓄積された信号を一定数からなるブロックごとに順次取り出す転送スイッチと、前記転送スイッチに接続したマトリクス信号線と、前記ブロックごとの前記転送スイッチを順次選択するブロック選択信号を生成するシフトレジスタ及びバッファとを備えるラインイメージセンサにおいて、前記シフトレジスタ、前記バッファ及び前記転送スイッチを電界効果型非晶質シリコン薄膜トランジスタを用いて構成し、かつ前記シフトレジスタ、前記バッファを前記光電変換素子を挟んで前記マトリクス信号線と反対側に配置したことを特徴とするラインイメージセンサ。

【請求項3】複数の光電変換素子と、前記複数の光電変換素子の各々に対応して設けられ前記光電変換素子の各出力信号を蓄積する蓄積容量と、前記蓄積容量の各々に接続され蓄積された信号を一定数からなるブロックごとに順次取り出す転送スイッチと、前記転送スイッチに接続したマトリクス信号線と、前記ブロックごとの前記転送スイッチを順次選択するブロック選択信号を生成するシフトレジスタ及びバッファとを備えるラインイメージセンサにおいて、前記光電変換素子、前記蓄積容量、前記転送スイッチ、前記マトリクス信号線、前記シフトレジスタ及び前記バッファを基板上に形成し、前記ブロック選択信号の時間幅を入力信号により制御することを特徴とするラインイメージセンサ。

【請求項4】基板上に設けた、複数の光電変換素子と、前記複数の光電変換素子の各々に対応して設けられ前記光電変換素子の各出力信号を蓄積する蓄積容量と、前記蓄積容量の各々に接続され蓄積された信号を一定数からなるブロックごとに順次取り出す転送スイッチと、前記転送スイッチに接続したマトリクス信号線と、前記ブロックごとの前記転送スイッチを順次選択するブロック選

択信号を生成するシフトレジスタ及びバッファとを備えるラインイメージセンサの駆動方法において、前記シフトレジスタ及び前記バッファにより順次生成された前記ブロック選択信号が、入力信号によりその時間幅を制御され、重なりを持たないことを特徴とするラインイメージセンサの駆動方法。

【請求項5】基板上に、複数の光電変換素子と、前記複数の光電変換素子の各々に対応して設けられ前記光電変換素子の各出力信号を蓄積する蓄積容量と、前記蓄積容量の各々に接続され蓄積された信号を一定数からなるブロックごとに順次取り出す転送スイッチと、前記転送スイッチに接続したマトリクス信号線と、前記ブロックごとの前記転送スイッチを順次選択するブロック選択信号を生成するシフトレジスタ及びバッファとを備えてなるラインイメージセンサの駆動方法において、前記シフトレジスタ及び前記バッファにより順次生成された前記ブロック選択信号が重なりを持つことを特徴とするラインイメージセンサの駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はファクシミリやイメージスキャナに用いられるラインイメージセンサ及びその駆動方法に関する。

【0002】

【従来の技術】従来のラインイメージセンサは、例えば、特開昭61-26364号公報に開示のように複数の光電変換素子と、複数の光電変換素子の各々に対応して設けられ光電変換素子の各出力信号を蓄積する蓄積手段と、この蓄積手段に蓄積された信号を一定数ずつ順次取り出す第1のスイッチ手段と、この第1のスイッチ手段によって取り出された一定数の信号を各々蓄積する第2の蓄積手段と、この第2の蓄積手段の各々と並列に接続した放電用のスイッチ手段と、この第2の蓄積手段に蓄積された信号を時系列的に読み出す第2のスイッチ手段とで構成していた。

【0003】また、特開平3-96061号公報に開示のように、非晶質シリコン薄膜トランジスタを用いてシフトレジスタを構成し、マトリクス配線と組み合わせて光電変換信号をビットごとに転送する構成を採っていた。

【0004】

【発明が解決しようとする課題】特開昭61-26364号公報に開示されているラインイメージセンサにおいて、第1のスイッチ手段はシフトレジスタと転送用のスイッチとから成っている。通常、このシフトレジスタには結晶シリコンを用いており、スイッチにのみ非晶質シリコン薄膜トランジスタを用いている。このような構成では、例えば一括転送する素子数を m 、ブロック数を n とすると、素子数は $m \times n$ となり配線数は $m + n$ となる。このように基板内に多くの配線を設ける必要があることから基板の小型化に制約が有り、また基板の外に配線を取り

出し IC と接続する必要があることから、接続部の縮小も難しかった。また、結晶シリコンの IC を必要とする点は考慮されていなかった。また、キャリアの移動度の小さな非晶質シリコン薄膜トランジスタ等のトランジスタをシフトレジスタやバッファのような駆動回路に用いるセンサ構成や信号タイミングの点については考慮されていなかった。

【 0 0 0 5 】 また、特開平 3 - 96061 号公報に開示のラインイメージセンサにおいては、シフトレジスタを非晶質シリコン薄膜トランジスタで構成しているため、キャリアの移動度が $0.2 \sim 0.6 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 程度と小さく、高速動作が難しかった。また、マトリクス線とシフトレジスタが受光素子に対して同じ側に配置されるため寄生容量によってノイズが大きくなる点は改良の余地があった。

【 0 0 0 6 】 本発明の目的は、非晶質シリコン薄膜トランジスタ等の移動度の小さなトランジスタを用いた駆動回路をセンサ基板上に形成して、小型で安価なラインイメージセンサを提供するとともに、このような構成においてもノイズの小さな読み取り動作が得られるセンサ構成及び駆動方法を提供することに有る。

【 0 0 0 7 】

【課題を解決するための手段】 上記目的を達成するために、複数の光電変換素子と、複数の光電変換素子の各々に対応して設けられ光電変換素子の各出力信号を蓄積する蓄積容量と、蓄積容量に蓄積された信号を一定数ずつ順次取り出す転送スイッチと、一定数ずつの転送スイッチを選択するシフトレジスタ及びバッファと、転送スイッチと接続したマトリクス信号線と、マトリクス信号線に転送された信号を時系列的に読み出す読み出し回路とから成るラインイメージセンサにおいて、シフトレジスタ、バッファ及び転送スイッチを電界効果型非晶質シリコン薄膜トランジスタを用いて構成し、かつ、シフトレジスタ、バッファを構成するトランジスタのチャンネル長を転送スイッチを構成するトランジスタのチャンネル長よりも小さくしたものである。

【 0 0 0 8 】 また、上記目的を達成するために、複数の光電変換素子と、複数の光電変換素子の各々に対応して設けられ光電変換素子の各出力信号を蓄積する蓄積容量と、蓄積容量の各々に接続され蓄積された信号を一定数からなるブロックごとに順次取り出す転送スイッチと、転送スイッチに接続したマトリクス信号線と、ブロックごとの転送スイッチを順次選択するブロック選択信号を生成するシフトレジスタ及びバッファとを備えるラインイメージセンサにおいて、シフトレジスタ、バッファ及び転送スイッチを電界効果型非晶質シリコン薄膜トランジスタを用いて構成し、かつシフトレジスタ、バッファを光電変換素子を挟んでマトリクス信号線と反対側に配置したものである。

【 0 0 0 9 】 また、上記目的を達成するために、複数の

光電変換素子と、複数の光電変換素子の各々に対応して設けられ光電変換素子の各出力信号を蓄積する蓄積容量と、蓄積容量の各々に接続され蓄積された信号を一定数からなるブロックごとに順次取り出す転送スイッチと、転送スイッチに接続したマトリクス信号線と、ブロックごとの転送スイッチを選択するブロック選択信号を生成するシフトレジスタ及びバッファとを備えるラインイメージセンサにおいて、光電変換素子、蓄積容量、転送スイッチ、マトリクス信号線、シフトレジスタ及びバッファを基板上に形成し、ブロック選択信号の時間幅を入力信号により制御する機能を設けたものである。

【 0 0 1 0 】 また、上記目的を達成するために、基板上に、複数の光電変換素子と、複数の光電変換素子の各々に対応して設けられ光電変換素子の各出力信号を蓄積する蓄積容量と、蓄積容量の各々に接続され蓄積された信号を一定数からなるブロックごとに順次取り出す転送スイッチと、転送スイッチに接続したマトリクス信号線と、ブロックごとの転送スイッチを選択するブロック選択信号を生成するシフトレジスタ及びバッファとを備えてなるラインイメージセンサの駆動方法において、シフトレジスタ及びバッファにより順次生成されたブロック選択信号が、入力信号によりその時間幅を制御され、重なりを持たないものである。

【 0 0 1 1 】 さらに、上記目的を達成するために、基板上に、複数の光電変換素子と、複数の光電変換素子の各々に対応して設けられ光電変換素子の各出力信号を蓄積する蓄積容量と、蓄積容量の各々に接続され蓄積された信号を一定数からなるブロックごとに順次取り出す転送スイッチと、転送スイッチに接続したマトリクス信号線と、ブロックごとの転送スイッチを選択するブロック選択信号を生成するシフトレジスタ及びバッファとを備えてなるラインイメージセンサの駆動方法において、シフトレジスタ及びバッファにより順次生成されたブロック選択信号が重なりを持つものである。

【 0 0 1 2 】

【作用】 複数の光電変換素子は読み取る画像に対応して光電変換素子に入射する光を光電変換する。この複数の光電変換素子の各々に対応して設けられた蓄積容量は光電変換素子の各出力信号を蓄積する。転送スイッチは蓄積容量に蓄積された信号を一定数ずつマトリクス信号線に順次取り出す。シフトレジスタは一定数ずつの転送スイッチを選択する信号を順次転送し、バッファはシフトレジスタによって発生した転送スイッチの選択信号を増幅及び波形の整形をして転送スイッチを駆動する。シフトレジスタ、バッファを構成する薄膜トランジスタのチャンネル長を転送スイッチを構成する薄膜トランジスタのチャンネル長よりも小さくする。

【 0 0 1 3 】 このように構成することにより、転送スイッチのリーク電流を増やすことなく、シフトレジスタ及びバッファを構成する薄膜トランジスタの電流駆動能力

を向上させることができるためシフトレジスタ及びバッファの動作速度及び容量負荷の駆動能力を向上することが可能となる。

【0014】複数の光電変換素子は読み取る画像に対応して光電変換素子に入射する光を光電変換する。この複数の光電変換素子の各々に対応して設けられた蓄積容量は光電変換素子の各出力信号を蓄積する。転送スイッチは蓄積容量に蓄積された信号を一定数ずつマトリクス信号線に順次取り出す。シフトレジスタは一定数ずつの転送スイッチを選択する信号を順次転送し、バッファはシフトレジスタによって発生した転送スイッチのブロック選択信号を増幅及び波形の整形をして転送スイッチを駆動する。シフトレジスタ、バッファ及び転送スイッチを電界効果型非晶質シリコン薄膜トランジスタを用いて構成し、かつシフトレジスタ、バッファを光電変換素子を挟んで前記マトリクス信号線と反対側に配置する。

【0015】このような構成をとることにより、シフトレジスタ及びバッファの配線と、マトリクス信号線の間の寄生容量を小さくできるため、寄生容量を介して信号線にバッファ及びシフトレジスタからのノイズが混入することを防止することができる。

【0016】複数の光電変換素子は読み取る画像に対応して光電変換素子に入射する光を光電変換する。この複数の光電変換素子の各々に対応して設けられた蓄積容量は光電変換素子の各出力信号を蓄積する。転送スイッチは蓄積容量に蓄積された信号を一定数ずつマトリクス信号線に順次取り出す。シフトレジスタは一定数ずつの転送スイッチを選択する信号を順次転送し、バッファはシフトレジスタによって発生した転送スイッチのブロック選択信号を増幅及び波形の整形をして転送スイッチを駆動する。このブロック選択信号の時間幅を入力信号により制御する機能を設ける。

【0017】このような機能を設けることにより、バッファ電圧の過渡応答のタイミングを制御し、ブロック選択信号が過渡応答から十分電圧が落ち着いたタイミングで読み取りを行うことができるためノイズを防止できる効果がある。そのため小型で安価なラインイメージセンサを提供できるとともに、安定な読み取りができる。

【0018】複数の光電変換素子は読み取る画像に対応して光電変換素子に入射する光を光電変換する。この複数の光電変換素子の各々に対応して設けられた蓄積容量は光電変換素子の各出力信号を蓄積する。転送スイッチは蓄積容量に蓄積された信号を一定数ずつマトリクス信号線に順次取り出す。シフトレジスタは一定数ずつの転送スイッチを選択する信号を順次転送し、バッファはシフトレジスタによって発生した転送スイッチのブロック選択信号を増幅及び波形の整形をして転送スイッチを駆動する。ブロック選択信号の時間幅を入力信号により制御して、ブロック選択信号が重なりを持たないようにすると、信号のタイミング及び動作は次のようになる。あ

るブロックをシフトレジスタ及びバッファによって選択するとブロック選択信号はLからHとなり蓄積容量に蓄えられた信号電荷は転送スイッチを通してマトリクス信号線に転送される。信号が十分に転送された後ブロック選択信号を入力信号によりHからLとして転送スイッチを非導通状態とする。このブロック選択信号のHからLの過渡状態が終わった時点よりも後でマトリクス信号線より信号を読み出す。その後次に次のブロック選択信号を発生させて次のブロックを選択する。この動作を繰り返すことにより1ラインの読み取りを行う。

【0019】このように、光電変換素子、蓄積容量、転送スイッチ、マトリクス信号線、シフトレジスタ及びバッファを基板上に形成し、ブロック選択信号が重なりを持たないようにすることにより、ブロック選択信号が過渡応答から十分電圧が落ち着いたタイミングで読み取りを行うことができるためノイズを防止できる効果がある。そのため小型で安価なラインイメージセンサを提供できるとともに、安定な読み取りができる。

【0020】複数の光電変換素子は読み取る画像に対応して光電変換素子に入射する光を光電変換する。この複数の光電変換素子の各々に対応して設けられた蓄積容量は光電変換素子の各出力信号を蓄積する。転送スイッチは蓄積容量に蓄積された信号を一定数ずつマトリクス信号線に順次取り出す。シフトレジスタは一定数ずつの転送スイッチを選択する信号を順次転送し、バッファはシフトレジスタによって発生した転送スイッチのブロック選択信号を増幅及び波形の整形をして転送スイッチを駆動する。バッファにより生成したブロック選択信号が重なりを持つようにすると、信号のタイミング及び動作は次のようになる。あるブロックをシフトレジスタ及びバッファによって選択するとブロック選択信号はLからHとなり蓄積容量に蓄えられた信号電荷は転送スイッチを通してマトリクス信号線に転送される。このブロック選択信号のLからHの過渡状態が終わって信号が十分に転送された後、マトリクス信号線より信号を読み出す。次にブロック選択信号をHからLとして転送スイッチを非導通状態とするとともに次のブロック選択信号を発生させて次のブロックを選択する。つまり、ブロック選択信号のHからLの過渡応答と、続くブロック選択信号のLからHの過渡応答を同時に行う。この動作を繰り返すことにより1ラインの読み取りを行う。

【0021】このように、光電変換素子、蓄積容量、転送スイッチ、マトリクス信号線、シフトレジスタ及びバッファを基板上に形成し、ブロック選択信号が重なりを持つようにすることにより、ブロック選択信号が過渡応答から十分電圧が落ち着いたタイミングで読み取りを行うことができるためノイズを防止できる効果がある。また、ブロック選択信号の過渡応答時間を少なくできるため高速の読み出しができる。

【0022】

【実施例】以下、本発明の一実施例を図1から図7を用いて説明する。

【0023】図1に本発明のラインイメージセンサの回路図を示す。図2、図3にはラインイメージセンサの動作タイミング図及び読み出し回路のブロック図の例を示す。また図4、図5にはラインイメージセンサの断面図及び平面図を、また図6及び図7にはインバータの断面図及び回路図を示す。

【0024】図1の回路図に示すようにラインイメージセンサは少なくともシフトレジスタ22、バッファ23、転送スイッチ24、蓄積容量25、光電変換素子20、21及びマトリクス信号線26を基板上に形成して構成する。また基板の外部には読み出し回路31を付加している。電源回路、タイミングコントロール回路等は、この図では省略しているが、必要な信号の機能及び接続は、それぞれ図2の動作タイミング図及び図1の回路図の図中に同じ記号を用いて示している。

【0025】基本的な動作は次の通りである。光電変換素子20、21により構成した受光素子は目的とする入射光を光電変換する。光電変換により生成された信号電荷は、この受光素子に接続された蓄積容量25に蓄積される。蓄積容量25に蓄積された信号電荷は1ブロックごとに転送スイッチ24によりマトリクス信号線26に転送される。マトリクス信号線に転送された信号電荷は読み出し回路31によりインピーダンス変換及びパラレル/シリアル変換されて時系列の読み取り信号になる。1ブロックごとの信号転送の制御は、シフトレジスタ22及びバッファ23を用いて行う。シフトレジスタ22はブロック選択信号を順次次のブロックに転送する機能を持ち、バッファ23はシフトレジスタ22によって転送された信号を増幅して負荷駆動能力を拡大し、さらに波形整形する機能を持つ。シフトレジスタ22には動作速度の大きいE/Rインバータを用いたダイナミックシフトレジスタを用いている。また、バッファ23にはインバータによる増幅段と、プッシュプル構成の出力段を用いている。バッファ23の出力は1ブロックの転送スイッチのゲートに接続しており、転送スイッチのON、OFFを制御する。図1の回路図に示した実施例では受光素子m個を1ブロックの読み出し単位とし、同じ構成のブロックをn段並べて、受光素子数が $m \times n$ のラインイメージセンサを構成している。

【0026】次に図1に示したセンサ回路の動作を図2のタイミング図を用いて詳細に説明する。シフトレジスタ22は抵抗Rと非晶質シリコン薄膜トランジスタから成るトランジスタMを用いて、インバータ及びクロック $\Phi 1$ 、 $\Phi 2$ に接続したバスタランジスタを構成している。シフトレジスタ22及びバッファ23にはグランドVss、電源Vddを接続している。このシフトレジスタ22は図2に示すようにブロック選択信号入力Dをクロック $\Phi 1$ 、 $\Phi 2$ に同期して、図中に示したS1、S2

のように順次次のブロックにブロック選択信号を転送する。シフトレジスタ22に接続したバッファ23は、シフトレジスタの信号を増幅及びクロックノイズ除去、ブロック選択信号の時間幅制御等の波形整形を行いバッファの最終段に接続した複数の転送スイッチを駆動する。図2ではシフトレジスタの信号S1、S2に対応してB1、B2のバッファ波形を示している。非晶質シリコン薄膜トランジスタは移動度が小さく電流駆動能力が小さいため、高速動作をさせようとしたときには波形の過渡応答は図に示すように大きくなる。そのため適切なタイミングでブロック選択信号の時間幅を制御してノイズを防止する必要がある。クロック $\Phi 0$ はバッファの出力波形の時間を制御する波形整形用の入力信号である。 $\Phi 0$ をHにすることによってバッファ波形をB1、B2に示すようにLに変化させ転送スイッチが導通状態、つまり信号電荷の転送時間を制御するものである。入力信号 $\Phi 0$ を外部より入力しているので迅速なバッファ波形の立ち下げができる。このように入力信号 $\Phi 0$ によりブロック選択信号の時間幅を制御する機能を設けている。この時、マトリクス信号線の電圧はA1に示すように変化する。A1はバッファ波形の立ち上がりとともに立ち上がり、ほぼ電圧V1に飽和した後バッファ波形の立ち下がりとともにV2だけ立ち下がり電圧V3となる。サンプルホールド信号SHのタイミングでマトリクス信号線の信号電圧は読み出し回路31に取り込まれ、続くリセット信号RSのタイミングで読み出し回路31によりマトリクス信号線をリセットする。このリセットにより信号A1は初期値にリセットされる。この動作を繰り返すことによって順次ブロックの信号を読み出す。信号A1にはバッファ波形の立ち上がり時間 t_r 及び立ち下がり時間 t_f には転送スイッチの容量を介してフィードスルーが発生するため電圧変化を生ずる。そのため信号の読み出しにはこの期間を避けて図2に示したように波形が安定して電圧がV3に落ち着いた時点で読み出す必要がある。このように入力信号 $\Phi 0$ によってブロック選択信号の時間幅を制御できるので、フィードスルーによるノイズを避けて安定な読み取りができる。またこのようにブロックごとのバッファ波形に、立ち上がり及び立ち下がり期間を含めて重なりを持たない制御をすることによって、フィードスルーによるノイズを避けて、安定な読み取りができる効果がある。

【0027】なお読み出し回路の一例を図3に示す。このブロック図に示すように読み出し回路はマトリクス信号線の信号を一括して取り込めるようにサンプルホールド回路S/Hを備え、またマトリクス信号線A1からAmを一括してリセットするリセットスイッチ310を備えている。さらにサンプルホールドされた信号を時系列信号とするために、シフトレジスタS/Rによりスイッチ311を順次選択して、アンプ312によって信号増幅して信号端子SHに出力する。読み出し回路31は外

部よりリセットRS、サンプルホールドSH、スタート信号SP、クロックCKの各端子に所定の信号を入力して制御する。

【0028】センサの構成を図4に示す断面図を用いて説明する。まず、構成を説明する。ガラス基板1の上に、薄膜を順次形成しフォトリソグラフィにより所定のパターンを形成してマトリクス信号線26、光電変換素子20、21、蓄積容量25、転送スイッチ24、バッファ23、シフトレジスタ22を形成する。シフトレジスタ22及びバッファ23を構成する基本要素はインバータであり、積層の構成及び回路を図4及び図5を用いて説明する。ガラス基板1の上に、電極2、絶縁膜3、非晶質シリコン4、オーミックコンタクト層5、電極6、保護層7、遮光膜8を順次積層している。薄膜トランジスタMは、電極2がゲート電極と成り、電極6がソース及びドレイン電極と成る逆スタガ型の構造で形成しており、nチャンネル型の電解効果型トランジスタとなる。非晶質シリコン薄膜トランジスタM及び抵抗Rを図5、図7に示す回路図のように直列に接続してインバータを構成している。電極2、6にはクロム、アルミニウム、タングステンなどの金属膜を用いる。絶縁膜3は、二酸化珪素、窒化シリコン、酸化アルミニウムなどの絶縁性の良い膜が好ましい。また、オーミックコンタクト層5にはリンを多量にドーブした非晶質シリコンを用いる。このオーミックコンタクト層はシート抵抗が $100\text{M}\Omega/\square$ 程度の値が得られるため、図4、図6のようにこの層を用いて抵抗Rを形成できる。遮光膜8は光を通さない金属膜を用いるのが好ましい。この遮光膜8はチャンネル部分への光の入射を防止し、光によるリーク電流を防止する役目をする。金属膜の形成には、スパッタ、蒸着、電着等の方法が可能である。また、絶縁膜3、非晶質シリコン膜4、オーミックコンタクト層5の形成にはグローディスチャージ法が好ましい。インバータは抵抗に電源電圧Vddを加えトランジスタにグランド電圧Vssを加えて、入力電圧Vinに対して論理を反転した電圧Voを出力する。図6の断面図では電極6a、6b、6c、2がそれぞれ図7のVss、Vo、Vdd、Vinに対応する。

【0029】上に説明した作成工程でマトリクス信号線26、光電変換素子20、21、蓄積容量25、転送スイッチ24を、図4の断面図のように構成できる。こうして形成したセンサ基板30の上に、梨地導電フィルム32を装着し原稿33をプラテンローラ34で梨地導電フィルム32を介して光電変換素子付近に押しつけ、またセンサ基板の裏側に発光ダイオードなどから成る光源35を配置して読み取りを行う。ここで梨地導電フィルムとは、弾性変形が可能なポリエステルなどの透明な有機フィルムの表面に光を散乱する細かい凹凸を形成し、さらに透明な導電膜を積層して導電性を付与したものである。

【0030】次に光電変換素子20、21の動作をより詳細に説明する。本実施例では光電変換素子に読み取り素子20と基準素子21を用いている。読み取り素子20には遮光膜となる電極2を形成しているため、光源35の直接光は入射しない。一方基準素子21にはこの遮光膜を形成していない部分を設けているため光源35の直接光が入射し、この光を光電変換する。図5の平面図に示すように基準素子には部分的に櫛歯状に電極を設けている。この構成を採ることにより、基準素子の光感度を制御することができる。原稿の読み取り時には、光源35の光は照明窓27付近のセンサ基板及び梨地導電フィルムを通して原稿を照明しその反射光を読み取り素子20で光電変換する。これら読み取り素子20及び基準素子21を図1に先に示したように直列配置して両素子の接続点から出力電圧を取り出すと、両素子の抵抗値はおおよそ入射光量に比例して変化するので、結果として光源の光量にあまり依存せず原稿の反射率に依存した出力電圧を得ることができる。本実施例によれば、光源35の光量バラツキによらず、原稿の反射率のみに依存した出力電圧が得られるので、光量バラツキによって通常生ずるシェーディングとよばれる固定パタンノイズの無い読み取り信号が得られる効果がある。活性層には非晶質シリコン層4を用いており、光導電型の光電変換素子と薄膜トランジスタを同一の製造プロセスで作成できる特徴がある。梨地導電フィルムは原稿走行時に発生する静電気によるノイズの防止機能の他、原稿面へ光を導くスペーサとして、また原稿走行に対する耐摩耗を確保する働きをする。本実施例で用いている梨地導電フィルムは、導電層を付けた薄板ガラスをセンサ基板に接着する構成でも同じ機能をもたせることができる。また、本実施例で用いている2つの光電変換素子の代わりに、1つの光電変換素子と蓄積容量を直列に接続した構成としても、シェーディング補正効果はないが同様にラインイメージセンサを構成できる。また本実施例ではインバータの負荷を抵抗としているが薄膜トランジスタで構成してE/Eインバータとしてもセンサを構成できることは言うまでもない。

【0031】図2に示した回路を配置した例を図5の平面図に示す。転送スイッチを構成する薄膜トランジスタのチャンネル長に比べて、シフトレジスタ22、バッファ23を構成する薄膜トランジスタのチャンネル長を小さくしている。非晶質シリコン電界効果型薄膜トランジスタのコンダクタンスGはチャンネル長をL、チャンネル幅をW、キャリアのドリフト移動度を μ 、ゲート絶縁膜容量をC、ゲート電圧をVg、閾値電圧をVtとすると $G=W\mu C(Vg-Vt)/L$ で表される。そのため、コンダクタンスを大きくして回路動作を高速にするには、チャンネル長を小さくすることが有効である。しかしチャンネル長を小さくするとリーク電流が大きくなることが実験よりわかった。光電変換素子の光電流は数n

Aであるため、トランジスタがオフ状態の時のリーク電流は数十pAに押さえる必要が有る。そのため、転送スイッチの薄膜トランジスタのチャンネル長はリーク電流が十分小さい範囲でなるべく小さなチャンネル長とするのが有利であり、およそ10 μ mが好適である。これに対して、シフトレジスタ及びバッファの動作は、これらを構成するトランジスタの微小なリーク電流に対しては鈍感であり、トランジスタのオン電流とオフ電流の比がおよそ2桁有れば動作が可能である。そのため、シフトレジスタ及びバッファを構成する薄膜トランジスタのチャンネル長は5 μ m程度でも可能である。このようにチャンネル長を小さくするほどシフトレジスタ及びバッファの駆動能力が上がり、高速の動作設計が可能となる。図5の平面図に示す実施例ではシフトレジスタ、バッファを構成する薄膜トランジスタ及び抵抗は櫛歯状の電極配置を用いてチャンネル幅を大きくするとともに、チャンネル長を小さくして駆動能力を向上している。このように転送スイッチを構成する薄膜トランジスタのチャンネル長に比べシフトレジスタ、バッファを構成する薄膜トランジスタのチャンネル長を小さくするので、転送スイッチのリーク電流が小さく、シフトレジスタ及びバッファの駆動能力を向上し、高速動作が可能となる。

【0032】また図5の平面図に有るように、マトリクス信号線26とシフトレジスタ22及びバッファ23は光電変換素子20、21を挟んで反対側に配置してある。このような配置にすることによってシフトレジスタ及びバッファの配線と、マトリクス信号線の間の寄生容量を小さくできるため、寄生容量を介して信号線にバッファ及びシフトレジスタからのノイズが混入することを極力防ぐことができる。そのため読み取り信号の精度を向上して読み取り画質を向上することができる。またシフトレジスタ及びバッファを基板上に作成するため、基板の大きさを小さくでき、また転送スイッチの駆動ICを省略できるため安価にラインイメージセンサを提供できる。

【0033】本実施例によれば転送スイッチを構成する薄膜トランジスタのチャンネル長に比べシフトレジスタ、バッファを構成する薄膜トランジスタのチャンネル長を小さくするので、転送スイッチのリーク電流が小さく、シフトレジスタ及びバッファの駆動能力を向上し、高速動作が可能となる効果がある。

【0034】本実施例によれば、マトリクス信号線とシフトレジスタ及びバッファは光電変換素子を挟んで反対側に配置してあるので、シフトレジスタ及びバッファの配線と、マトリクス信号線の間の寄生容量を小さくできるため、寄生容量を介して信号線にバッファ及びシフトレジスタからのノイズが混入することを極力防止することができる。

【0035】本実施例によれば入力信号によってブロック選択信号の時間幅を制御できるので、フィードスルー

によるノイズを避けて安定な読み取りができる効果がある。

【0036】本実施例によればブロック選択信号に重なりを持たず、十分信号が安定してから読み出しを行うので、安定な読み取りを行うことができる効果がある。

【0037】また本実施例によれば、シフトレジスタ及びバッファを基板上に作成するため、基板の大きさを小さくでき、また転送スイッチの駆動ICを省略できるため安価にラインイメージセンサを提供できる効果がある。

【0038】また、本実施例によれば、光源のばらつきを光電変換素子の構成により補正できるため、シェーディングをなくすることができる効果がある。

【0039】図8、図9に本発明の別の一実施例のラインイメージセンサの動作タイミング図及び回路図を示す。

【0040】図9の回路図に示すように本実施例のラインイメージセンサは少なくともシフトレジスタ22、バッファ23、転送スイッチ24、蓄積容量25、光電変換素子20、21及びマトリクス信号線26を基板上に形成して構成しているのは先に図1示した実施例と同じである。本実施例は先に示した実施例図1の回路のバッファ部分が異なっており、 $\Phi 0$ 、 $\Phi 2$ がゲートに入力されたトランジスタを無くしたものである。その他の構成は同一であるので、構成の詳細の説明は省略する。

【0041】基本的な動作は先の実施例と同一であるので省略し、動作の異なるバッファ部分の動作を図8の動作タイミング図を用いて説明する。図8にはクロック $\Phi 1$ 、 $\Phi 2$ 、バッファ選択信号入力D、シフトレジスタの信号S1、S2、バッファB1、B2及びマトリクス信号線A1の波形をサンプルホールド信号SH及びリセット信号RSとともに示す。シフトレジスタ22はクロック $\Phi 1$ 、 $\Phi 2$ に同期してブロック選択信号をS1、S2に示すように転送する。バッファはS1、S2の信号を増幅及び波形整形してB1、B2のバッファ波形を出力する。バッファ波形B1の立ち下がり、次のブロックのバッファ波形B2の立上りは重なりを持っており、この点が先に示した実施例と異なっている。信号マトリクスの電圧A1はバッファ波形の立上りとともに立上り、電圧V3となる。SHのタイミングでマトリクス信号線の信号電圧は読み出し回路31に取り込まれ、続くRSのタイミングで読み出し回路31によりマトリクス信号線をリセットする。このリセットにより信号A1は初期値にリセットされる。この動作を繰り返すことによって順次ブロックの信号を読みだす。信号A1はバッファ波形の立上り時間 t_r 及び立ち下がり時間 t_f には転送スイッチの容量を介してフィードスルーが発生するため電圧変化を生ずる。そのため信号の読み出しにはこの期間を避けて図2に示したように波形が安定して電圧がV3に落ち着いた時点で読みだす必要がある。本実施例では

バッファ波形に重なりを持っており、バッファ波形B1の立ち下がり、次のブロックのバッファ波形B2の立上りは重なっている。そのため読み取りサイクルtc中のバッファ電圧の変化に要する時間を縮小できるため、読み取りサイクルtcの残りの時間を蓄積容量からの信号電荷転送の時間に割り振ることができる。そのため動作タイミングにおける設計自由度が向上し、例えば動作速度の向上、蓄積容量を大きくしてノイズ耐性を向上する効果がある。読み出した信号電圧V3は主に蓄積容量25より転送された信号電荷によってマトリクス信号線10の容量を充電した電圧であるが、その他にもバッファ波形B2の立上りとB1の立ち下がりのフィードスルーの和を含む。このようにブロックごとのバッファ波形に重なりを持たせる制御を行うことによって、フィードスルーによるノイズを避けて、安定な読み取りができる効果がある。

【0042】なお本実施例の回路は、回路を構成する素子は先に示した実施例と同じであるので、先に示した実施例の図4の断面図、及び図5の平面図と同様に基板上に形成できる。

【0043】本実施例によればブロック選択信号に重なりを持たせて、十分信号が安定してから読み出しを行うので、安定な読み取りを行うことができる効果がある。また、バッファ電圧の変化に要する時間を縮小できるため動作タイミングにおける設計自由度が向上し、例えば動作速度の向上、蓄積容量を大きくしてノイズ耐性を向上する効果がある。

【0044】

【発明の効果】本発明によればシフトレジスタ、バッファを構成する薄膜トランジスタのチャンネル長を小さくできるので、転送スイッチのリーク電流が小さく、シフトレジスタ及びバッファの駆動能力を向上し、高速動作が可能となる効果がある。またマトリクス信号線とシフトレジスタ及びバッファは光電変換素子を挟んで反対側に配置してあるので、シフトレジスタ及びバッファの配線と、マトリクス信号線の間の寄生容量を小さくできるため、寄生容量を介して信号線にバッファ及びシフトレ

ジスタからのノイズが混入することを極力防ぐことができる。そのため、読み取り画質を向上することができる。また入力信号によってブロック選択信号の時間幅を制御できるので、フィードスルーによるノイズを避けて安定な読み取りができる効果がある。またブロック選択信号に重なりを持たず、十分信号が安定してから読み出しを行うので、安定な読み取りを行うことができる効果がある。また、バッファ電圧の変化に要する時間を縮小できるため動作タイミングにおける設計自由度が向上し、動作速度の向上、蓄積容量を大きくしてノイズ耐性を向上する効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例のラインイメージセンサの回路図である。

【図2】本発明の一実施例のラインイメージセンサの動作タイミング図である。

【図3】本発明の読み出し回路のブロック図である。

20 【図4】本発明の一実施例のラインイメージセンサの断面図である。

【図5】本発明の一実施例のラインイメージセンサの平面図である。

【図6】本発明の一実施例のインバータの断面図である。

【図7】本発明の一実施例のインバータの回路図である。

【図8】本発明の別の実施例のラインイメージセンサの動作タイミング図である。

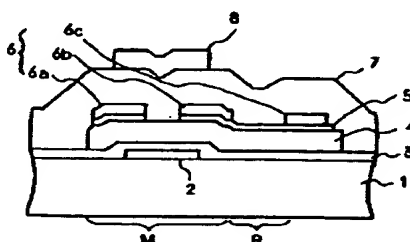
30 【図9】本発明の別の実施例のラインイメージセンサの回路図である。

【符号の説明】

20、21…光電変換素子、22…シフトレジスタ、23…バッファ、24…転送スイッチ、25…蓄積容量、26…マトリクス信号線、31…読み出し回路、Φ0…入力信号、B…ブロック選択信号。

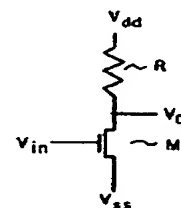
【図6】

インバータの構造断面図(図6)



【図7】

インバータの回路図(図7)



フロントページの続き

(72)発明者 栗原 啓輔

神奈川県横浜市戸塚区戸塚町216番地 株
式会社日立製作所情報通信事業部内